

## DIGITAL SWITCH

**Patent number:** WO9527368

**Publication date:** 1995-10-12

**Inventor:** TAKAMORI TSUTOMU (JP)

**Applicant:** SONY CORP (JP);; TAKAMORI TSUTOMU (JP)

**Classification:**

- **international:** H04N5/268

- **european:** H04N5/268

**Application number:** WO1995JP00512 19950320

**Priority number(s):** JP19940061085 19940330

**Also published as:**

US5754255 (A)  
GB2293716 (A)

**Cited documents:**

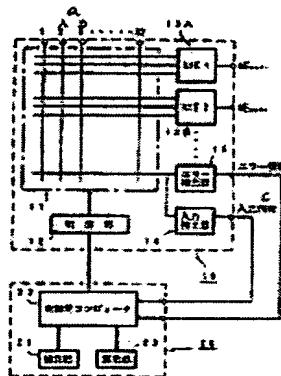
JP1316672  
JP1117438  
JP63077285

[Report a data error](#)

### Abstract of WO9527368

A digital switch is provided with a matrix switcher section (11) to which serial digital video signals are inputted through input buses, a control section (12) which controls the operation of the section (11), signal processing sections (13A, 13B...) connected to the output buses of the section (11), and input detector (14) which is connected to one of the output buses of the section (11), and error detector (15) which is connected to the one output bus of the section (11). By controlling the section (11) by means of the control section (12), the detectors (14 and 15) selectively detect the inputs and errors in the digital video signals.

- 1 ... Matrix
- 2 ... error detector
- 3 ... Input bus
- 4 ... control section
- 5 ... input detector
- 6 ... error detector
- 7 ... inputting section
- 8 ... computer for control
- 9 ... display section



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

PCT

世界知的所有権機関

国際事務局

## 特許協力条約に基づいて公開された国際出願

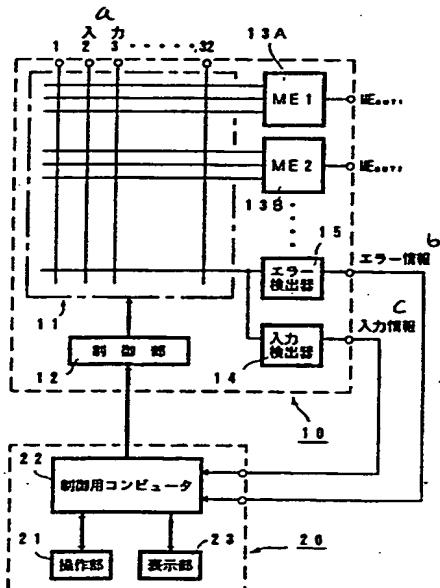


(51) 国際特許分類6 H04N 5/268	A1	(11) 国際公開番号 PCT/JP95/00512	WO95/27368
(21) 国際出願番号 (22) 国際出願日	1995年3月20日(20.03.95)	(43) 国際公開日	1995年10月12日(12.10.95)
(30) 優先権データ 特願平6/61085 1994年3月30日(30.03.94) JP		(81) 指定国 添付公開書類	GB, JP, US. 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP)			
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 高森 勉(TAKAMORI, Tsutomu)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP)			
(74) 代理人 弁理士 小池 晃, 外(KOIKE, Akira et al.) 〒105 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo, (JP)			

## (54) Title : DIGITAL SWITCH

## (54) 発明の名称 デジタルスイッチ

- a ... input
- b ... error information
- c ... input information
- 12 ... control section
- 14 ... input detector
- 15 ... error detector
- 21 ... operating section
- 22 ... computer for control
- 23 ... display section



## (57) Abstract

A digital switch is provided with a matrix switcher section (11) to which serial digital video signals are inputted through input buses, a control section (12) which controls the operation of the section (11), signal processing sections (13A, 13B...) connected to the output buses of the section (11), and input detector (14) which is connected to one of the output buses of the section (11), and error detector (15) which is connected to the one output bus of the section (11). By controlling the section (11) by means of the control section (12), the detectors (14 and 15) selectively detect the inputs and errors in the digital video signals.

(57) 要約

複数のシリアルデジタルビデオ信号が各入力バスを介して入力されるマトリクススイッチャ部11と、このマトリクススイッチャ部11の動作制御を行う制御部12と、上記マトリクススイッチャ部11の複数の出力バスに接続された信号処理部13A、13B…と、上記マトリクススイッチャ部11の1つの出力バスに接続された入力検出器14と、上記マトリクススイッチャ部11の1つの出力バスに接続されたエラー検出器15とを備えてなる。各入力バスを介して入力される複数のデジタルビデオ信号について、上記マトリクススイッチャ部11を制御部12で制御することにより、上記マトリクススイッチャ部11の1つの出力バスに接続された入力検出器14及びエラー検出器15で入力の有無及びエラーの発生の有無を選択的に検出する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AM アルメニア	EE エストニア	LK スリランカ	RU ロシア連邦
AT オーストリア	ES スペイン	LR リベリア	SDE スーダン
AU オーストラリア	FR フィンランド	LT リトアニア	SEE スウェーデン
BB バルバドス	GA フランス	LUV ルクセンブルグ	SG シンガポール
BE ベルギー	GB ガボン	LV ラトヴィア	SI スロヴァキア共和国
BF ブルガリア・ファソ	GE イギリス	MC モナコ	SN セネガル
BG ブルガリア	GL グルジア	MD モルドバ	SZ スワジランド
BJ ベナン	GN ギニア	MG マダガスカル	TD チャード
BR ブラジル	GR ギリシャ	ML マリ	TG チェコ
BY ベラルーシ	HU ハンガリー	MN モンゴル	TJ タジキスタン
CA カナダ	IE アイルランド	MR モーリタニア	TM トルクメニスタン
CF 中央アフリカ共和国	IS アイスランド	MW マラウイ	TT トリニダード・トバゴ
CG コンゴー	IT イタリー	MX メキシコ	UA ウクライナ
CH スイス	JP 日本	NE ニジエール	UG ウガンダ
CI コート・ジボアール	KE ケニア	NL オランダ	US 米国
CM カメルーン	KG キルギスタン	NO ノルウェー	UZ ウズベキスタン共和国
CN 中国	KP 朝鮮民主主義人民共和国	NZ ニュー・ジーランド	VN ヴィエトナム
CZ チェコ共和国	KR 大韓民国	PL ポーランド	
DE ドイツ	KZ カザフスタン	PT ポルトガル	
DK デンマーク	LI リヒテンシュタイン	RO ルーマニア	

-1-

## 明 細 書

### デジタルスイッチャ

### 技 術 分 野

本発明は、複数のデジタル信号入力から所望のデジタル信号を選択して出力するデジタルスイッチャに関するものである。

### 背 景 技 術

一般に、放送局やプロダクションハウスなどでは、複数のデジタルビデオ信号入力から所望のデジタルビデオ信号を選択してミックスやワイプなどの処理を施すデジタルビデオスイッチャである所謂エフェクトスイッチャを介して、多数の映像機器間でデジタルビデオ信号の授受を行っている。

そして、デジタルビデオ信号を伝送するためのインターフェースとしては、ビットパラレル方式でのデジタルビデオ信号のインターフェースとして、例えば、米国の映画テレビ技術者協会(SMPTE:Society of Motion Picture and Television Engineers)では SMPTE 125M でコンポーネント信号について 10 ビットのパラレルデジタルビデオ信号を伝送するフォーマットを規定している。

さらに、1 本のケーブルでビデオ信号の長距離伝送を可能にするビットシリアル方式でのデジタルビデオ信号のインターフェースとして、例えば、SMPTE ではコンポーネント信号およびコンポジ

-2-

ット信号とともにチャンネルコードにスクランブルドN R Z I (No Return to Zero Inverted) を採用したS M P T E 2 5 9 Mが標準化され、国際無線諮問委員会(CCIR:International Radio Consultative Committee)でもコンポーネント信号については656 IIIとして標準化され、ヨーロッパ放送連合(EBU:European Broadcasting Union)においてもコンポーネント信号がT e c h 3 2 6 7として標準化されている。

上記S M P T E 2 5 9 Mのフォーマットでは、10ビットのパラレルデジタルビデオ信号をビットシリアルに変換してスクランブルドN R Z I 符号として伝送する。また、回線監視についてスクランブルドN R Z I 符号ではE D H (Error Detection and Handling)システムが標準化され、垂直プランギング期間の特定のラインにシステム内機器やインターフェースで発生するエラーを検出するためのバリティやチェックサム、周期性冗長チェックコード(CRCC:Cyclic Redundancy Check Code)などの補助(Ancillary)データを挿入して伝送する手法が採用される。すなわち、伝送エラーの監視のために、例えば1フィールド間の補助データを含めたフルフィールドのデータのC R C コードと、1フィールド間のアクティブ画像のみのデータのC R C コードと、補助データのみのC R C コードを送信側で計算して、E D H パケットとして伝送される。上記C R C コードの生成多項式には、

$$C(X) = X^{16} + X^{12} + X^5 + 1$$

が用いられる。

上記S M P T E 2 5 9 Mにより規格化されたシリアルデジタル・インターフェース(SDI:Serial Digital Interface)のフォーマッ

-3-

トの概要を次の表1に示す。

表1: SMPTE 259Mの概要

項目	コンポーネント	コンポジット
伝送レート (Mb/s)	270.0	143.18
チャンネルコーディング	スクランブルドNRZI $X = (X^9 + X^4 + 1) (X + 1)$	
シリアル同期信号	3FF, 000, 000	
信号振幅	800mV ± 10% (75Ω終端)	
オーディオチャンネル数	8ch	4ch

ところで、デジタルビデオ信号にエラー検出のための補助データを挿入してシリアルデジタル伝送することにより、送信側の機器や伝送路におけるエラーの発生状態を受信側の機器で監視することができるようになるのであるが、多数の映像機器を組み合わせて使用する放送局やプロダクションハウスなどでは、上記補助データに基づいてエラー検出を行うエラー検出器を機器毎に設けたのでは、ハードウェアが大規模化するばかりでなく、各機器や伝送路における

-4-

エラーの発生状態を的確に管理するのが困難である。

そこで、上述の如き従来の実情に鑑み、本発明の目的は、多数の映像機器を組み合わせて使用する放送局やプロダクションハウスなどにおいて、ハードウエアを大規模化させることなく、各機器や伝送路におけるエラーの発生状態を的確に管理できるようにすることにある。

本発明の他の目的は、エラー検出機能を備えたデジタルスイッチャを提供することにある。

本発明の他の目的は、エラー検出機能及び入力検出機能を備えたデジタルスイッチャを提供することにある。

本発明の他の目的は、エラー検出及び入力検出の結果を表示する表示機能を備えたデジタルスイッチャを提供することにある。

#### 發明の開示

本発明に係るデジタルスイッチャでは、マトリクススイッチャ部に入力バスを介して入力される複数のデジタル信号について、上記マトリクススイッチャ部を制御手段で制御することにより、上記マトリクススイッチャ部の1つの出力バスに接続されたエラー検出器により選択的にエラー検出を行う。すなわち、本発明に係るデジタルスイッチャは、複数の入力バスと複数の出力バスとを有し、上記複数の入力バスを介して複数のデジタル信号が入力されるマトリクススイッチャ部と、上記複数の入力バスを介して上記マトリクススイッチャ部に入力された複数のデジタル信号を、上記マトリクススイッチャ部により選択させて上記複数の出力バスのうちの所望の出

-5-

力バスから出力させる制御を行う制御手段と、上記マトリクススイッチャ部の上記複数の出力バスのうちの1つの出力バスに接続され、上記出力バスを介して上記マトリクススイッチャ部から供給されたデジタル信号のエラーを検出するエラー検出器とを備えることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記マトリクススイッチャ部の1つの出力バスに外部接続されたエラー検出器によりエラー検出を行う。すなわち、本発明に係るデジタルスイッチャは、上記エラー検出器が上記マトリクススイッチャ部の1つの出力バスに外部接続されていることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記マトリクススイッチャ部で選択されたデジタル信号に信号処理部により信号処理を施す。すなわち、本発明に係るデジタルスイッチャは、上記マトリクススイッチャ部の複数の出力バスに接続された少なくとも1つの信号処理部を備えることを特徴とする。

また、本発明に係るデジタルスイッチャでは、複数の入力バスを介して入力されるパラレルデジタル信号の選択を上記マトリクススイッチャ部により行う。すなわち、本発明に係るデジタルスイッチャは、上記複数の入力バスを介して入力されるデジタル信号がパラレルデジタル信号であることを特徴とする。

また、本発明に係るデジタルスイッチャでは、複数の入力バスを介して入力されるシリアルデジタル信号の選択を上記マトリクススイッチャ部により行う。すなわち、本発明に係るデジタルスイッチャは、上記複数の入力バスを介して入力されるデジタル信号がシリアルデジタル信号であることを特徴とする。

また、本発明に係るデジタルスイッチャでは、シリアルデジタル信号を変換したパラレルデジタル信号が上記マトリクススイッチャ部に供給される。すなわち、本発明に係るデジタルスイッチャは、上記シリアルデジタル信号をパラレルデジタル信号に変換する変換手段を備え、上記パラレルデジタル信号が上記マトリクススイッチャ部に供給されることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記エラー検出器において上記シリアルデジタル信号をパラレルデジタル信号に変換してエラー検出を行う。すなわち、本発明に係るデジタルスイッチャは、上記エラー検出器が上記シリアルデジタル信号をパラレルデジタル信号に変換する変換部と、上記パラレルデジタル信号のエラーを検出するエラー検出部とを備えてなることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記複数の入力バスを介して供給されるデジタル信号の入力の有無を1つの入力検出器により検出する。すなわち、本発明に係るデジタルスイッチャは、上記マトリクススイッチャ部の上記複数の出力バスのうちの上記エラー検出器が接続された出力バスに接続され、上記デジタル信号の入力の有無を検出する入力検出器をさらに備えることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記マトリクススイッチャ部の1つの出力バスに外部接続されたエラー検出器及び入力検出器により、上記複数のデジタル信号のエラー検出及び入力の有無の検出を行う。すなわち、本発明に係るデジタルスイッチャは、上記エラー検出器及び上記入力検出器が上記マトリクススイッチャ部の1つの出力バスに外部接続されていることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記エラー検出器

-7-

及び上記入力検出器による検出結果を表示部により表示する。すなわち、本発明に係るデジタルスイッチャは、上記エラー検出器及び上記入力検出器による検出結果をそれぞれ表示する表示部をさらに備えることを特徴とする。

また、本発明に係るデジタルスイッチャでは、上記エラー検出器が上記デジタル信号のエラーを検出し、且つ、上記入力検出器が上記デジタル信号が入力されていることを検出した時に、上記デジタル信号がエラーであると判断する。すなわち、本発明に係るデジタルスイッチャは、上記エラー検出器及び上記入力検出器の検出結果がそれぞれ上記制御手段に入力され、上記制御手段が、上記エラー検出器が上記デジタル信号のエラーを検出し、且つ、上記入力検出器が上記デジタル信号が入力されていることを検出した時にのみ、上記デジタル信号がエラーであると判断することを特徴とする。

さらに、本発明に係るデジタルスイッチャでは、複数の入力バスを介して入力されるデジタルビデオ信号の選択を上記マトリクススイッチャ部により行う。すなわち、本発明に係るデジタルスイッチャは、上記デジタル信号がデジタルビデオ信号であることを特徴とする。

#### 図面の簡単な説明

図1は本発明に係るデジタルスイッチャの構成を模式的に示すブロック図である。

図2は上記デジタルスイッチャを構成しているマトリクススイッチャ部にシリアルデジタルビデオ信号を供給する送信側の機器の要

-8-

部構成を示すブロック図である。

図3は上記デジタルスイッチャにおいてシリアルデジタルビデオ信号のエラーをシリアルドメインでのロジックで検出するエラー検出器の構成を示すブロック図である。

図4は上記エラー検出器を構成しているCRCコード生成部の構成を示すブロック図である。

図5は上記デジタルスイッチャの診断モード時における制御用コンピュータによる制御動作を示すフローチャートである。

図6は上記デジタルスイッチャにおいてシリアルデジタルビデオ信号のエラーをパラレルドメインでのロジックで検出するエラー検出器の構成を示すブロック図である。

図7は本発明に係るデジタルスイッチャの他の構成を示すブロック図である。

#### 発明を実施するための最良の形態

以下、本発明に係るデジタルスイッチャの実施例について、図面を参照して詳細に説明する。

本発明に係るデジタルスイッチャは、例えば図1のように構成される。

このデジタルスイッチャ10は、例えばSMPTE259M規格に準拠した複数チャンネルのシリアルデジタルビデオ信号を取り扱うデジタルビデオスイッチャであって、複数のシリアルデジタルビデオ信号が各入力バスを介して入力されるマトリクススイッチャ部11と、このマトリクススイッチャ部11の動作制御を行う制御部

-9-

12と、上記マトリクススイッチャ部11の複数の出力バスに接続された信号処理部13A, 13B . . . と、上記マトリクススイッチャ部11の1つの出力バスに接続された入力検出器14と、上記マトリクススイッチャ部11の1つの出力バスに接続されたエラー検出器15とを備えてなる。

ここで、各入力バスを介して上記マトリクススイッチャ部11に入力される各チャンネルのデジタルビデオ信号は、SMPTE 259M規格に準拠したシリアルデジタルビデオ信号であって、それぞれ垂直プランギング期間の特定のラインにエラー検出のための補助データが挿入されている。

すなわち、上記マトリクススイッチャ部11には、例えば図2に示すように、SMPTE 259M規格に準拠したエンコーダ32を備えるビデオカメラなどの送信側の機器30から、シリアルデジタルビデオ信号が供給される。

上記エンコーダ32は、ビデオ信号処理部31で得られる例えばSMPTE 125M規格に準拠した10ビットのパラレルデジタルビデオ信号について、1フィールド間の補助データを含めたフルフィールドのデータのCRCコードと、1フィールド間のアクティブ画像のみのデータのCRCコードと、補助データのみのCRCコードを

$$C(X) = X^{16} + X^{12} + X^5 + 1$$

なる生成多項式により計算してEDHパケットを生成し、さらに、スクランブルドNRZI符号化してから、ビットシリアルに変換することにより、SMPTE 259M規格に準拠したシリアルデジタルビデオ信号を生成するようになっている。

-10-

この実施例のデジタルスイッチャ10では、外部の操作卓20に設けられた操作部21からの操作入力に応じた制御動作を行う制御用コンピュータ22からの制御データが上記制御部12に供給されるようになっている。そして、上記制御部12は、上記制御用コンピュータ22により与えられる制御データに基づいて、入力された複数チャンネルのシリアルデジタルビデオ信号を上記マトリクススイッチャ部11により選択して出力バスから出力させる制御を行う。

また、上記各信号処理部13A, 13B . . . は、上記マトリクススイッチャ部11により選択された複数チャンネルのシリアルデジタルビデオ信号にミックス処理やワイプ処理などのエフェクト処理を施して、エフェクト処理済のシリアルデジタルビデオ信号M<sub>Eout1</sub>, M<sub>Eout2</sub> . . . を出力する。

また、上記入力検出器14は、上記マトリクススイッチャ部11の出力バスを介して供給されるシリアルデジタルビデオ信号の有無を検出することにより、上記マトリクススイッチャ部11に各入力バスを介して入力された各チャンネルのシリアルデジタルビデオ信号の有無を検出する。そして、この入力検出器14は、上記マトリクススイッチャ部11への各入力の有無を示す入力情報を上記操作卓20の制御用コンピュータ22に供給する。

さらに、上記エラー検出器15は、上記マトリクススイッチャ部11の出力バスを介して供給されるシリアルデジタルビデオ信号について、その垂直プランギング期間の特定のラインに挿入されている補助データに基づいてエラー検出を行う。そして、このエラー検出器15は、上記マトリクススイッチャ部11の出力バスを介して

-11-

供給されたシリアルデジタルビデオ信号にエラーが発生していることを示すエラー情報を上記操作卓 20 の制御用コンピュータ 22 に供給する。

上記エラー検出器 15 は、例えば図 3 に示すように、上記マトリクススイッチャ部 11 の出力バスを介してシリアルデジタルビデオ信号が供給される CRC コード生成部 15A と比較部 15B とからなる。

上記 CRC コード生成部 15A は、シリアルデジタルビデオ信号について、1 フィールド間の補助データを含めたフルフィールドのデータの CRC コードと、1 フィールド間のアクティブ画像のみのデータの CRC コードと、補助データのみの CRC コードを

$$C(X) = X^{16} + X^{12} + X^5 + 1$$

なる生成多項式により計算して、各 CRC コードを上記比較部 15B に供給する。この CRC コード生成部 15A では、例えば図 4 に示すように 16 ビットレジスタ 15A<sub>0</sub> と 3 個の 2 入力排他的論理和回路 (EX-OR ゲート) 15A<sub>1</sub>, 15A<sub>2</sub>, 15A<sub>3</sub> からなる論理回路により、上記生成多項式の演算を行う。

そして、上記比較部 15B では、上記マトリクススイッチャ部 11 を介して供給されるシリアルデジタルビデオ信号の垂直ブランкиング期間の特定のラインに挿入されている補助データとして送信側の機器から送られてきた各 CRC コードと、上記 CRC コード生成部 15A により生成された各 CRC コードとを比較して、その不一致情報をエラー情報をとして出力する。

ここで、上記制御部 12 は、例えば診断モードを有しており、この診断モード時には、入力された各チャンネルのシリアルデジタル

-12-

ビデオ信号を上記マトリクススイッチャ部11により順次選択して、上記入力検出器14とエラー検出器15に供給するように、上記制御用コンピュータ22により与えられる制御データに基づいて上記マトリクススイッチャ部11を制御する。

従って、上記診断モード時には、上記マトリクススイッチャ部11に入力される各チャンネルのシリアルデジタルビデオ信号について、順次、上記入力検出器14により入力の有無を検出し、さらに、上記エラー検出器15によりエラー検出を行うことができる。

そして、上記制御用コンピュータ22は、上記入力検出器14から供給される入力情報と上記エラー検出器15から供給されるエラー情報に基づいて、上記マトリクススイッチャ部11への各チャンネルのシリアルデジタルビデオ信号の入力状況とエラー発生状態を上記操作卓20に設けられた表示部23に表示させる。

上記制御用コンピュータ22は、診断モード時に入ると、例えば図5のフローチャートに示すような制御動作を行うようになっている。

すなわち、上記制御用コンピュータ22は、診断モードに入ると、先ずステップS1で、入力チャンネルを示すチャンネル情報CHをCH=1として、上記制御部12に入力チャンネルを指定する。

次のステップS2では、指定した入力チャンネルにシリアルデジタルビデオ信号が入力されているか否かの判定処理を上記入力検出器14からの入力情報に基づいて行う。このステップS2における判定結果が「NO」すなわち上記入力検出器14によりシリアルデジタルビデオ信号が検出されない場合には、ステップS3に移って、そのチャンネルの入力が無いことを上記表示部23に表示させる表

-13-

示制御を行う。また、このステップS2における判定結果が「YES」すなわち上記入力検出器14によりシリアルデジタルビデオ信号が検出された場合には、ステップS4に移る。

このステップS4では、指定した入力チャンネルのシリアルデジタルビデオ信号にエラーが無かったかの判定処理を上記エラー検出器15からのエラー情報に基づいて行う。このステップS4における判定結果が「YES」すなわち上記エラー検出器15によりシリアルデジタルビデオ信号のエラーが検出されていない場合には、ステップS5に移って、そのチャンネルのシリアルデジタルビデオ信号にはエラーが無いことを上記表示部23に表示させる表示制御を行う。また、このステップS4における判定結果が「NO」すなわちすなわち上記エラー検出器15によりシリアルデジタルビデオ信号のエラーが検出されている場合には、ステップS6に移って、そのチャンネルのシリアルデジタルビデオ信号にはエラーが有ることを上記表示部23に表示させる表示制御を行う。

そして、上記ステップ3、ステップ5又はステップ6の表示制御の次には、ステップ7に移って、全チャンネルについて処理を行ったか否かの判定処理を行う。このステップ7における判定結果が「NO」すなわち処理すべきチャンネルが有る場合には、ステップ8に移って入力チャンネルを示すチャンネル情報CHを $CH = CH + 1$ として上記ステップS2の判定処理に戻って、次の入力チャンネルの処理を行う。また、このステップ7における判定結果が「YES」すなわち処理すべきチャンネルが無い場合には、診断モードの制御動作を終了する。

これにより、上記デジタルスイッチャ10の全チャンネルについ

-14-

て、シリアルデジタルビデオ信号を供給する各種映像機器や伝送路におけるエラーの発生状態を各チャンネルの入力状況とともに上記表示部23の表示することができる。従って、上記表示部23の表示内容を確認することにより、各チャンネルの入力状況とともにエラーの発生状態を的確に監視することができる。すなわち、上記エラー検出器15は入力チャンネルにシリアルデジタルビデオ信号が入力されていないときにもエラーを検出することになるが、上記入力チャンネルにシリアルデジタルビデオ信号が入力されていないことを上記入力検出器14により検出しているので、入力チャンネルにシリアルデジタルビデオ信号が入力されていないにも拘わらずシリアルデジタルビデオ信号にエラーが発生していると判断してしまうことがない。

なお、この実施例では、上記入力検出器14により得られる入力情報と上記エラー検出器15により得られるエラー情報を上記制御用コンピュータ22に供給して、複数のシリアルデジタルビデオ信号の入力状況やエラー発生状態を上記操作卓20に設けられた表示部23に表示させるようにしたが、上記エラー情報を外部の機器管理装置に供給して、機器の利用状況や稼働状況などのデータとともにエラー発生状況を管理するようにしてもよい。また、上記入力検出器14及びエラー検出器15は、上記デジタルスイッチャ10の本体内に内蔵せずに、上記マトリクススイッチャ部11の1つの出力バスに外部接続するようにしてもよい。さらに、この実施例のデジタルスイッチャ10では、所謂エフェクトスイッチャとして機能するように、上記マトリクススイッチャ部11の出力バスに上記信号処理部13A, 13B . . . を設けてあるが、エフェクトスイッ

-15-

チャの機能を必要としない場合には上記信号処理部 13A, 13B . . . を省略することができる。

また、上述の実施例におけるエラー検出器 15 は、シリアルデジタルビデオ信号のエラーをシリアルドメインでのロジックで検出するようにしたが、例えば図 6 に示すような構成としてパラレルドメインでのロジックで検出するようにしてもよい。

この図 6 に示したエラー検出器 15 は、上記マトリクススイッチヤ部 11 の出力バスを介して供給されるシリアルデジタルビデオ信号をパラレルデジタルビデオ信号に変換するエンコーダ 15a を入力段に備え、このエンコーダ 15a により得られるパラレルデジタルビデオ信号が CRC コード生成部 15b と比較部 15c に供給されるようになっている。

上記 CRC コード生成部 15b は、上記エンコーダ 15a により得られるパラレルデジタルビデオ信号について、1 フィールド間の補助データを含めたフルフィールドのデータの CRC コードと、1 フィールド間のアクティブ画像のみのデータの CRC コードと、補助データのみの CRC コードを

$$C(X) = X^{16} + X^{12} + X^5 + 1$$

なる生成多項式により計算して、各 CRC コードを上記比較部 15c に供給する。この CRC コード生成部 15b は、例えば 1 個の 16 ビットレジスタと 30 個の 2 入力排他的論理回路 (EX-OR ゲート) により構成される。この論理回路により上記生成多項式の演算を行うことができる。

そして、上記比較部 15c では、上記エンコーダ 15a により得られるパラレルデジタルビデオ信号について、その垂直ブランキン

-16-

グ期間の特定のラインに挿入されている補助データとして送信側の機器から送られてきた各CRCコードと、上記CRCコード生成部15bにより生成された各CRCコードとを比較することにより、その不一致情報をエラー情報として検出することができる。

また、上述の実施例のデジタルスイッチャ10では、シリアルデジタルビデオ信号をシリアルドメインでそのまま取り扱う構成にしたが、例えば図7に示すように、シリアルデジタルビデオ信号を変換手段でパラレルデジタル信号に変換して、シリアルドメインで取り扱う構成にしてもよい。

すなわち、図7に示したデジタルスイッチャ100は、例えばSMPTE259M規格に準拠した複数チャンネルのシリアルデジタルビデオ信号を取り扱うもので、各チャンネルのシリアルデジタルビデオ信号が各入力バスを介して供給されるSMPTE259M規格に準拠したデコード部110と、このデコード部110により10ビットパラレルのデジタルビデオ信号に変換された各チャンネルのパラレルデジタルビデオ信号が入力されるマトリクススイッチャ部111と、このマトリクススイッチャ部111の動作制御を行う制御部112と、上記マトリクススイッチャ部111の複数の出力バスに接続された信号処理部113A、113B・・・と、上記マトリクススイッチャ部111の1つの出力バスに接続された入力検出器114と、上記マトリクススイッチャ部111の1つの出力バスに接続されたエラー検出器115を備えてなる。

この実施例のデジタルスイッチャ100は、外部の操作卓120に設けられた操作部121からの操作入力に応じた制御動作を行う制御用コンピュータ122から制御データが上記制御部112に供

-17-

給されるようになっている。そして、上記制御部 112 は、上記制御用コンピュータ 122 により与えられる制御データに基づいて、入力された複数チャンネルのパラレルデジタルビデオ信号を上記マトリクススイッチャ部 111 により選択して出力バスから出力させる制御を行う。

そして、上記マトリクススイッチャ部 111 は、上記デコード部 110 を介して入力される各チャンネルのパラレルデジタルビデオ信号をパラレルドメインで選択するもので、上記制御部 112 により入出力の選択制御が行われる。

また、上記各信号処理部 113A, 113B . . . は、上記マトリクススイッチャ部 111 により選択された各チャンネルのパラレルデジタルビデオ信号にパラレルドメインでミックス処理やワイプ処理を施して、エフェクト処理済のパラレルデジタルビデオ信号 M E<sub>OUT1</sub>, M E<sub>OUT2</sub> . . . を出力する。

また、上記入力検出器 114 は、上記マトリクススイッチャ部 111 の出力バスを介して供給されるパラレルデジタルビデオ信号の有無を検出することにより、各入力バスを介して上記デコード部 110 に入力された各チャンネルのシリアルデジタルビデオ信号の有無を検出する。そして、この入力検出器 114 は、上記マトリクススイッチャ部 111 への各入力の有無を示す入力情報を上記操作卓 120 の制御用コンピュータ 122 に供給する。

さらに、上記エラー検出器 115 は、上記マトリクススイッチャ部 111 の出力バスを介して供給されるパラレルデジタルビデオ信号について、その垂直ブランкиング期間の特定のラインに挿入されている補助データに基づいてエラー検出をパラレルドメインで行う。

-18-

そして、このエラー検出器115は、上記マトリクススイッチャ部111の出力バスを介して供給されたパラレルデジタルビデオ信号にエラーが発生していることを示すエラー情報を上記操作卓120の制御用コンピュータ122に供給する。

そして、上記制御用コンピュータ122は、上記入力検出器114から供給される入力情報と上記エラー検出器115から供給されるエラー情報に基づいて、上記デコード部110への各チャンネルのシリアルデジタルビデオ信号の入力状況とエラー発生状態を上記操作卓120に設けられた表示部123に表示させる。

なお、この実施例のデジタルスイッチャ100は、複数チャンネルのシリアルデジタルビデオ信号を入力とするものであるが、上記デコード部110を無くして、複数チャンネルのパラレルデジタルビデオ信号を上記マトリクススイッチャ部111に直接入力することにより、パラレルデジタルビデオ信号を取り扱うようにしてもよい。

-19-

### 請求の範囲

1. 複数の入力バスと複数の出力バスとを有し、上記複数の入力バスを介して複数のデジタル信号が入力されるマトリクススイッチャ部と、

上記複数の入力バスを介して上記マトリクススイッチャ部に入力された複数のデジタル信号を、上記マトリクススイッチャ部により選択させて上記複数の出力バスのうちの所望の出力バスから出力させる制御を行う制御手段と、

上記マトリクススイッチャ部の上記複数の出力バスのうちの 1 つの出力バスに接続され、上記出力バスを介して上記マトリクススイッチャ部から供給されたデジタル信号のエラーを検出するエラー検出器とを備えたデジタルスイッチャ。

2. 上記エラー検出器が上記マトリクススイッチャ部の 1 つの出力バスに外部接続された請求項 1 記載のデジタルスイッチャ。

3. 上記マトリクススイッチャ部の複数の出力バスに接続された少なくとも 1 つの信号処理部を備えた請求項 1 記載のデジタルスイッチャ。

4. 上記複数の入力バスを介して入力されるデジタル信号がパラレルデジタル信号である請求項 1 記載のデジタルスイッチャ。

5. 上記複数の入力バスを介して入力されるデジタル信号がシリアルデジタル信号である請求項 1 記載のデジタルスイッチャ。

6. 上記シリアルデジタル信号をパラレルデジタル信号に変換する変換手段を備え、上記パラレルデジタル信号が上記マトリクススイッチャ部に供給される請求項 5 記載のデジタルスイッチャ。

-20-

7. 上記エラー検出器が上記シリアルデジタル信号をパラレルデジタル信号に変換する変換部と、  
上記パラレルデジタル信号のエラーを検出するエラー検出部とを備えた請求項 5 記載のデジタルスイッチャ。
8. 上記マトリクススイッチャ部の上記複数の出力バスのうちの上記エラー検出器が接続された出力バスに接続され、上記デジタル信号の入力の有無を検出する入力検出器をさらに備えた請求項 1 記載のデジタルスイッチャ。
9. 上記エラー検出器及び上記入力検出器が上記マトリクススイッチャ部の 1 つの出力バスに外部接続されてた請求項 8 記載のデジタルスイッチャ。
10. 上記エラー検出器及び上記入力検出器による検出結果をそれぞれ表示する表示部をさらに備えた請求項 8 記載のデジタルスイッチャ。
11. 上記エラー検出器及び上記入力検出器の検出結果がそれぞれ上記制御手段に入力され、  
上記制御手段は、上記エラー検出器が上記デジタル信号のエラーを検出し、且つ、上記入力検出器が上記デジタル信号が入力されていることを検出した時にのみ、上記デジタル信号がエラーであると判断する請求項 8 記載のデジタルスイッチャ。
12. 上記デジタル信号がデジタルビデオ信号である請求項 1 記載のデジタルスイッチャ。

図 1

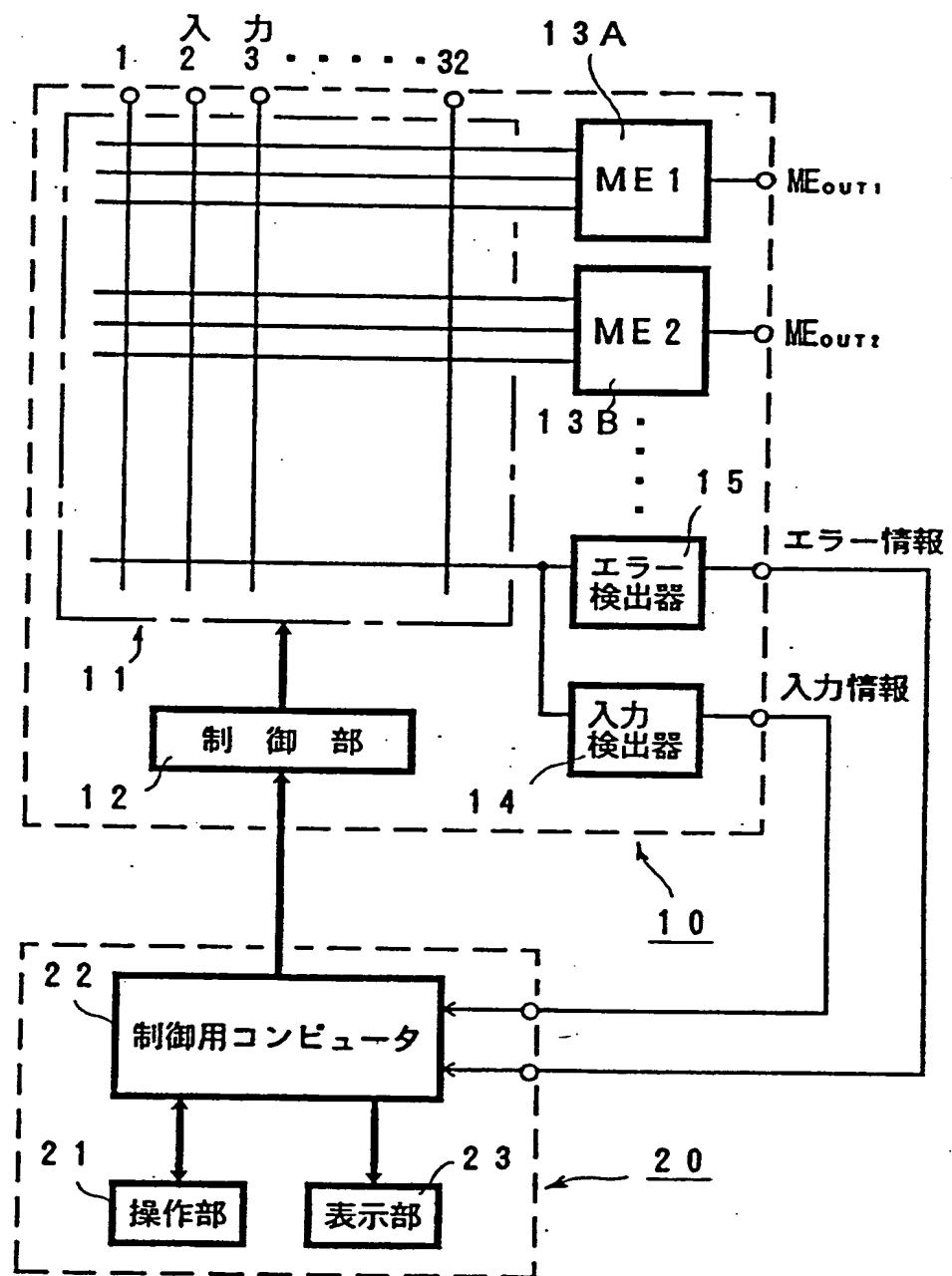


図 2

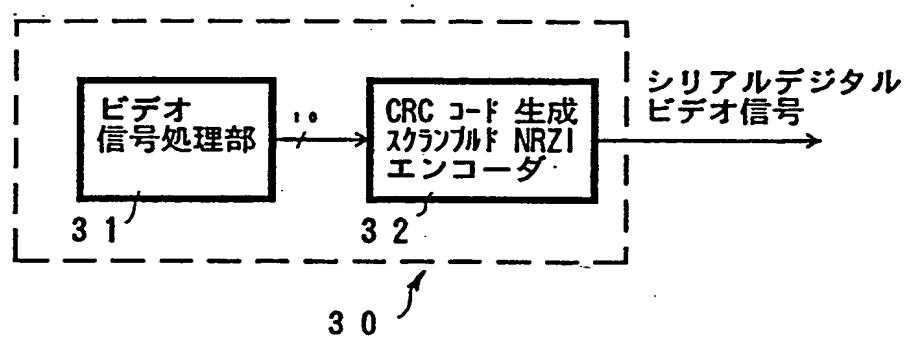
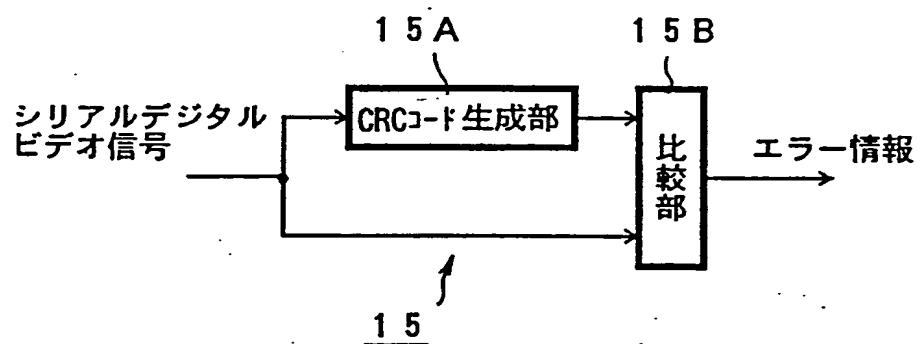


図 3



3 / 6

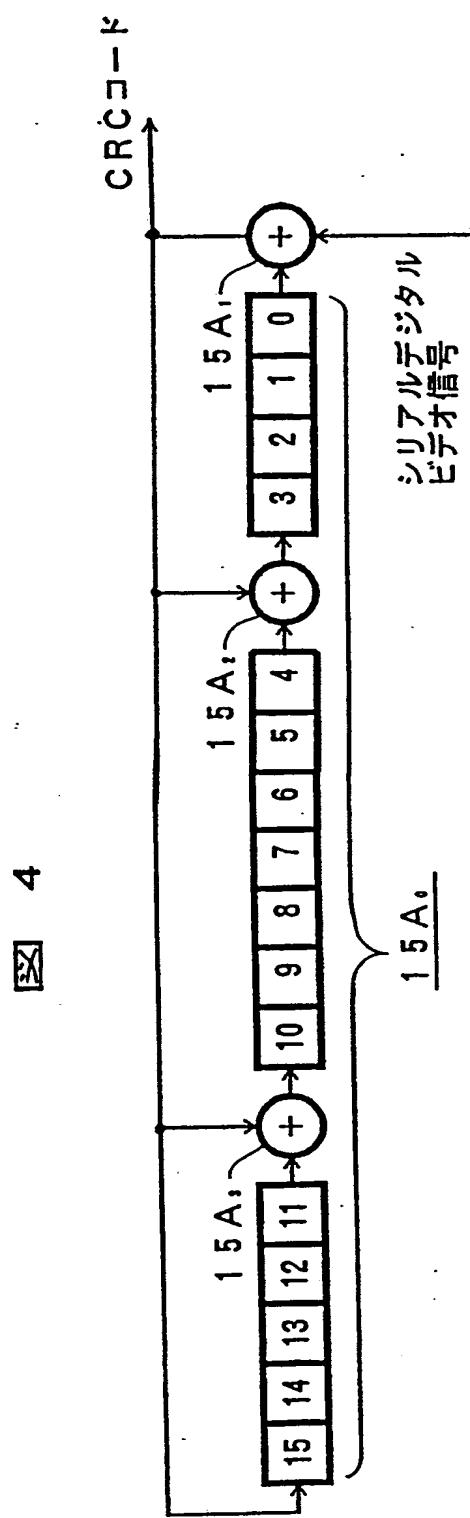


図 5

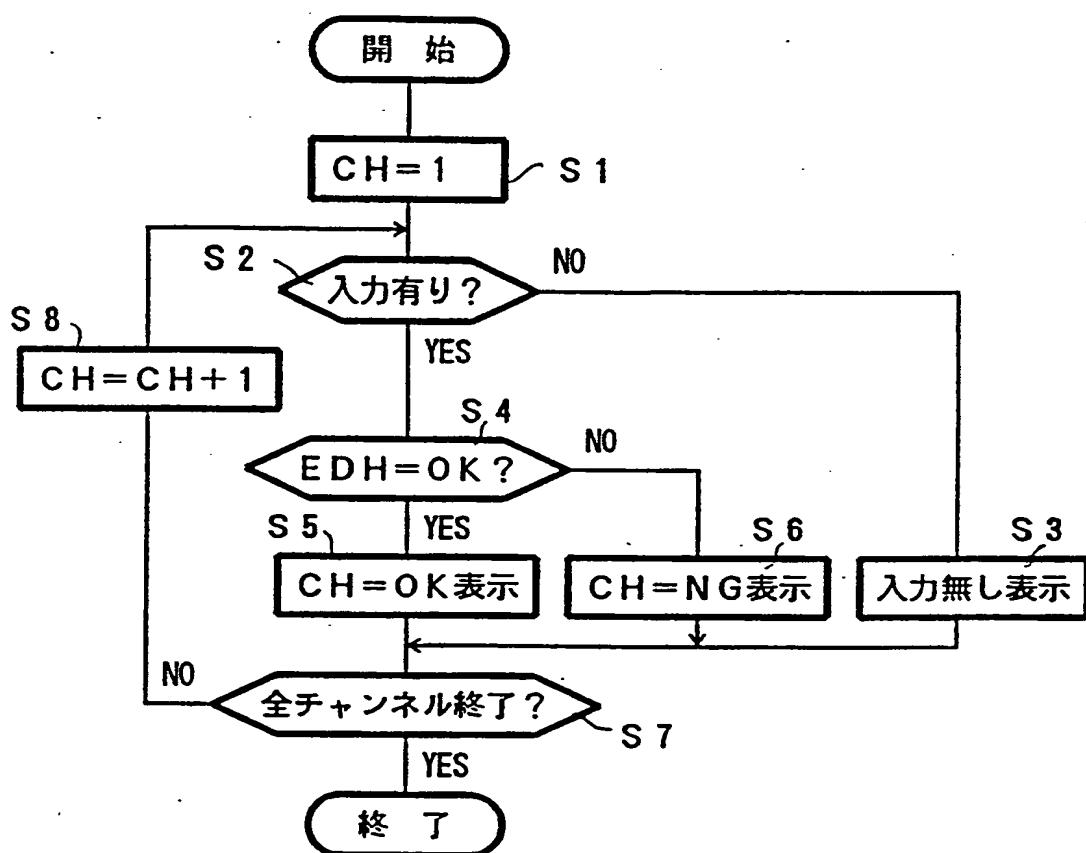


図 6

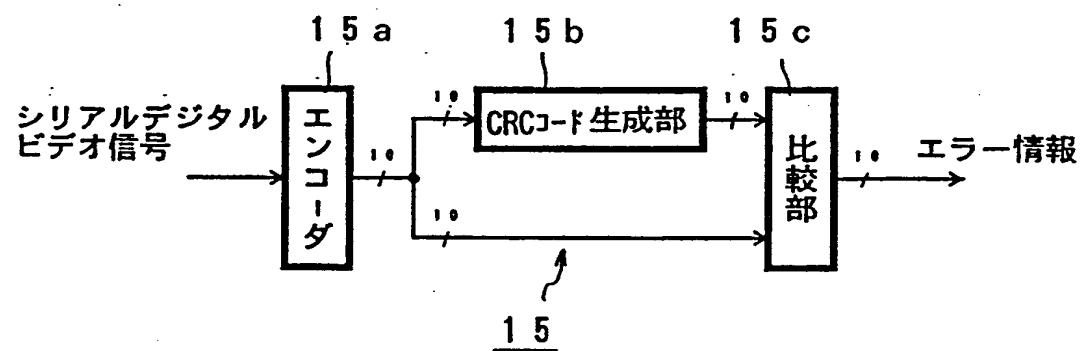
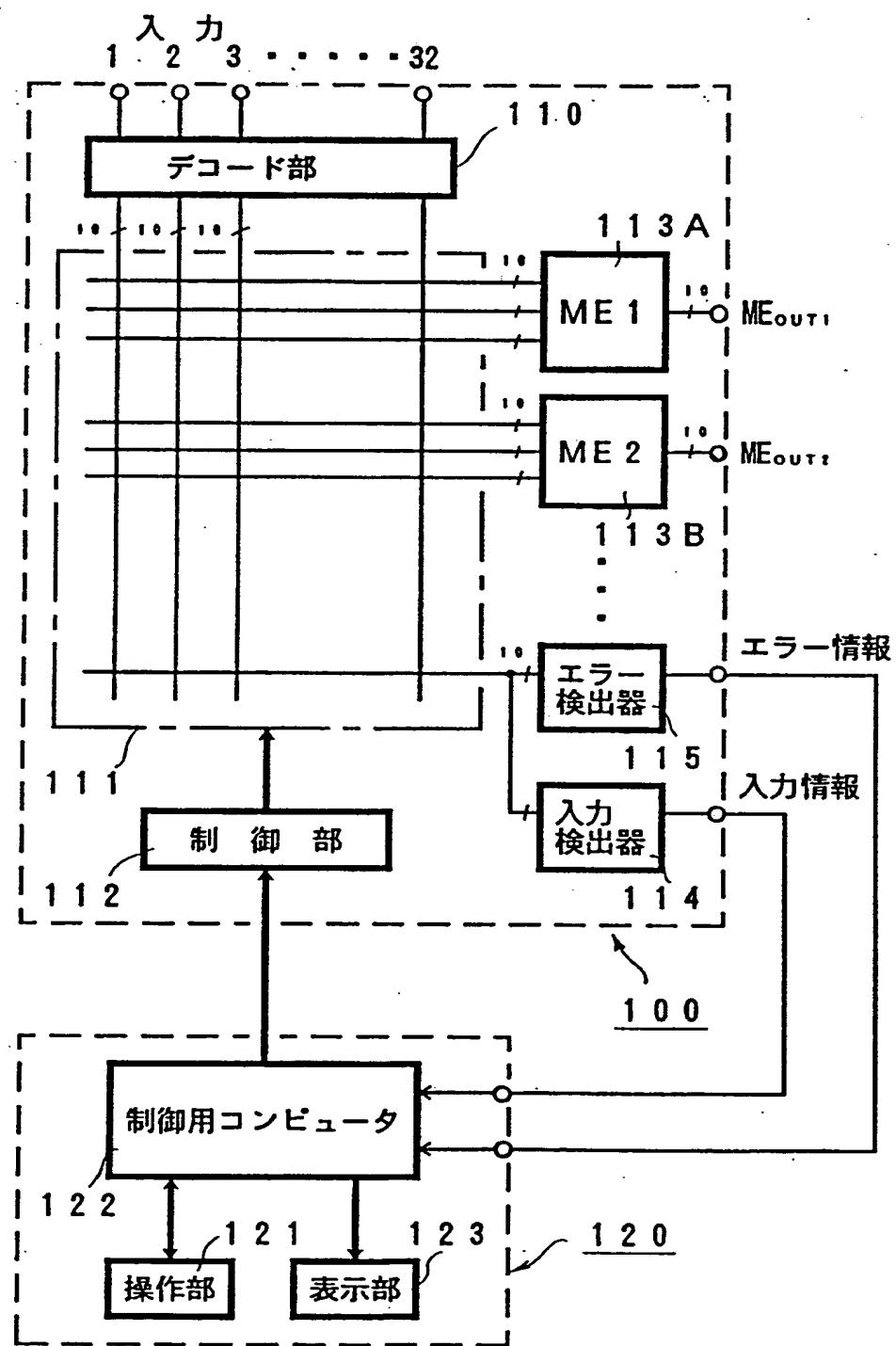


図 7



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00512

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H04N5/268

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H04N5/262-H04N5/278

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1995
Kokai Jitsuyo Shinan Koho	1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 1-316672, A (Matsushita Electric Inc. Co., Ltd.), December 21, 1989 (21. 12. 89) (Family: none)	1 - 12
Y	JP, 1-117438, A (NEC Corp.), May 10, 1989 (10. 05. 89) (Family: none)	1 - 12
Y	JP, 63-77285, A (Sony Corp.), April 7, 1988 (07. 04. 88) & EP, 261917, A2 & US, 4774570, A & CA, 1278372, A1	1 - 12

 Further documents are listed in the continuation of Box C. See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

June 2, 1995 (02. 06. 95)

Date of mailing of the international search report

June 27, 1995 (27. 06. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int CL<sup>6</sup> H04N5/268

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int CL<sup>6</sup> H04N5/262-H04N5/278

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年  
 日本国公開実用新案公報 1971-1995年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 1-316672, A (松下電器産業株式会社), 21. 12月. 1989 (21. 12. 89) (ファミリーなし)	1-12
Y	JP, 1-117438, A (日本電気株式会社), 10. 5月. 1989 (10. 05. 89) (ファミリーなし)	1-12
Y	JP, 63-77285, A (ソニー株式会社), 7. 4月. 1988 (07. 04. 88) & EP, 261917, A2&US, 4774570, A & CA, 1278372, A1	1-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日  
 若しくは他の特別な理由を確立するために引用する文献  
 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日  
 の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と  
 矛盾するものではなく、発明の原理又は理論の理解のため  
 に引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規  
 性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文  
 献との、当業者にとって自明である組合せによって進歩性  
 がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

02. 06. 95

## 国際調査報告の発送日

27.06.95

名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

中村 直

5 C 9 1 8 6

電話番号 03-3581-1101 内線 3540